

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232156

(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

H01L 21/768

H01L 21/3205

(21)Application number : 11-031401

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.02.1999

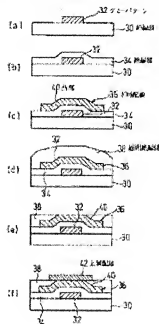
(72)Inventor : KOIKE MICHIO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the chip size of a semiconductor device by narrowing wiring intervals.

SOLUTION: After an Al-Si-Cu dummy pattern 32 is formed on an insulating film 30 formed on a semiconductor substrate, an insulating layer 34 is formed on the pattern 32. Then lower-layer wiring 36 having a protrusion 40 at the position corresponding to the pattern 32 is formed on the insulating layer 34. After the wiring 36 is covered with an interlayer insulating film 38, the protrusion 40 of the wiring 36 is exposed by polishing the interlayer insulating film 38 to a flat surface. Thereafter, a titanium nitride(TiN) film 50 is etched off and upper-layer wiring 42 is formed in such a way that the wiring 42 is connected to the second metallic film 48 of the exposed protrusion 40.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232156

(P2000-232156A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl. ⁷	識別記号	F I	デコード [*] (参考)
H 0 1 L 21/768		H 0 1 L 21/90	A 5 F 0 3 3
21/3205		21/88	S
			N

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-31401

(22) 出願日 平成11年2月9日 (1999.2.9)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小池 美智男

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

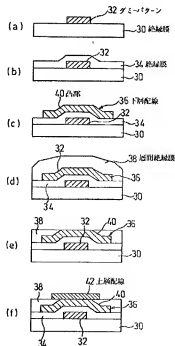
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 配線ピッチを狭小化してチップサイズを小型化する。

【解決手段】 半導体基板上の絶縁膜30の上部にA1-Si-Cuからなるダミーパターン32を形成したのち、その上に絶縁層34を形成する。絶縁層34の上には、ダミーパターン32と対応した位置に凸部40を有する下層配線36を形成する。下層配線36を覆って層間絶縁膜38を設けたのち、層間絶縁膜38を研磨して平坦化し、下層配線36の凸部40を露出させる。その後、窒化チタン(TiN)膜50をエッチング除去し、露出させた凸部40の第2金属膜48と接続させた上層配線42を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成した絶縁膜の上に導電性膜を成膜してダミーパターンを形成する工程と、前記ダミーパターンと前記絶縁膜とを覆って絶縁層を形成する工程と、前記絶縁層を覆って導電性膜を成膜して前記ダミーパターンとの対応位置に凸部を有する下層配線を形成する工程と、前記下層配線と絶縁膜とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記下層配線の凸部を露出させる工程と、露出させた前記凸部と前記層間絶縁膜とを覆って導電性膜を成膜し、前記凸部に接続させた上層配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ダミーパターンは、前記下層配線と同じ材質によって形成してあることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記ダミーパターンは、高さが 400～800 nm であることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記ダミーパターンと前記下層配線とは、アルミニウムまたはアルミニウム合金もしくは多結晶シリコンからなることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 半導体基板上に形成した絶縁層の上に第 1 金属膜を形成する工程と、前記第 1 金属膜の上部に第 1 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、前記第 1 の高熔点金属膜または高熔点金属化合物膜の上部に第 2 金属膜を形成する工程と、前記第 2 金属膜の上部に第 2 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、前記第 2 の高熔点金属膜または高熔点金属化合物膜と前記第 2 金属膜とをエッチングして下層配線を形成する工程と、前記第 2 の高熔点金属膜または高熔点金属化合物膜と前記第 2 金属膜とをエッチングして前記下層配線の所定位置に第 2 金属膜と前記第 2 の高熔点金属膜または高熔点金属化合物膜とからなる凸部を形成する工程と、前記凸部を含む前記下層配線と前記絶縁層とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記凸部を露出させる工程と、露出させた前記凸部と前記層間絶縁膜とを覆って第 3 金属膜を形成する工程と、前記第 3 金属膜の上部に第 3 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、前記第 3 の高熔点金属膜または高熔点金属化合物膜と前記第 3 金属膜とをエッチングして前記凸部に接続した上層配線を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上に形成した絶縁層の上に第 1 金属膜を形成する工程と、

前記第 1 金属膜の上部に第 1 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、

前記第 1 の高熔点金属膜または高熔点金属化合物膜の所定位置をエッチングして第 1 の高熔点金属膜または高熔点金属化合物膜を貫通した接続孔を形成する工程と、前記接続孔と前記第 1 の高熔点金属膜または高熔点金属化合物膜とを覆って第 2 金属膜を形成する工程と、

前記第 2 金属膜の上部に第 2 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、

前記第 2 の高熔点金属膜または高熔点金属化合物膜と前記第 2 金属膜とをエッチングして第 1 の高熔点金属膜または高熔点金属化合物膜と前記第 1 金属膜とをエッチングし、前記接続孔を含む領域に下層配線を形成する工程と、

前記第 2 の高熔点金属膜または高熔点金属化合物膜と前記第 2 金属膜とをエッチングして前記接続孔を含んだ位置に第 2 金属膜と前記第 2 の高熔点金属膜または高熔点金属化合物膜とからなる凸部を形成する工程と、

前記凸部を含む前記下層配線と前記絶縁層とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記凸部を露出させる工程と、

露出させた前記凸部と前記層間絶縁膜とを覆って第 3 金属膜を形成する工程と、

前記第 3 金属膜の上部に第 3 の高熔点金属膜または高熔点金属化合物膜を形成する工程と、

前記第 3 の高熔点金属膜または高熔点金属化合物膜と前記第 3 金属膜とをエッチングして前記凸部と接続した上層配線を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 1 の高熔点金属膜または高熔点金属化合物膜と第 2 の高熔点金属膜または高熔点金属化合物膜と第 3 の高熔点金属膜または高熔点金属化合物膜とは、チタン合金またはチタン化合物からなることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の高熔点金属膜または高熔点金属化合物膜は、厚さが 15～200 nm であることを特徴とする請求項 5 ないし 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の高熔点金属膜または高熔点金属化合物膜と前記第 3 の高熔点金属膜または高熔点金属化合物膜とは、厚さが 15～100 nm であることを特徴とする請求項 5 ないし 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記凸部を露出させる工程は、前記凸部の第 2 の高熔点金属膜または高熔点金属化合物膜が露出したのち、第 2 の高熔点金属膜または高熔点金属化合物膜を除去して第 2 金属膜を露出させる工程を含むこと

を特徴とする請求項 5 ないし 9 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係り、特に多層配線構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、多層配線間のコンタクトを探る方法としては、図 4 に示したように、層間絶縁膜にコンタクトホールを形成し、その上に上層配線を形成する方法が採用されていた。すなわち、まず、図 4 (a) に示すように、半導体基板 10 の上に設けられた例えばシリコン酸化膜からなる絶縁層 12 の上に、 $Al-Si-Cu$ などのアルミニウム合金からなる下層配線 14 を形成する。次に、シリコン酸化膜からなる層間絶縁膜 16 を下層配線 14 と絶縁層 12 とを覆って形成する。その後、コンタクトホールを形成するためのフォトリソ工法を塗布し、露光および現像を行って所定のレジストパターン 18 を形成し、これをマスクとして異方性エッチングにより、層間絶縁膜 16 にコンタクトホール 20 を形成したのち、図 4 (b) に示したように、レジストパターン 18 を除去する。次に、層間絶縁膜 16 とコンタクトホール 20 とを覆って $Al-Si-Cu$ からなるアルミニウム合金膜を形成し、これをエッチングしてコンタクトホール 20 を介して下層配線 14 に接続した上層配線 22 を形成する (図 4 (c) 参照)。

【0003】 ところで、従来のコンタクトホール 20 を介して上下の配線 14、22 を接続する方法は、下層配線 14 とコンタクトホール 20 との間的位置合わせズレ、およびコンタクトホール 20 と上層配線 22 との間的位置合わせズレが発生すると、製品の初期不良の発生および信頼性を低下させる。このため、従来の半導体製造方法においては、下層配線 14 のコンタクトホール 20 を設けるべき位置に、図 4 (d) に示したように、ドッグボーン 24 と称する幅広の部分形成し、下層配線 14、コンタクトホール 20、上層配線 22 相互に多少の位置ズレが生じても、下層配線 14 と上層配線 22 とが電氣的に接続されるようにしていた。

【0004】 一方、特開平 2-311446 号公報には、下層配線の一部に凸部を形成し、この凸部の上端面を層間絶縁膜から露出させて上層配線に接続した半導体装置が開示されている。また、特開平 8-186168 号公報には、半導体基板の上部に設けた絶縁膜の一部に凸部を形成して下層配線の一部に凸部が形成されるようにし、上層配線を下層配線の凸部と接続させた半導体装置が開示されている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記した従来のようにドッグボーン 24 を形成して下層配線 1

4、コンタクトホール 20、上層配線 22 間の位置合わせの余裕を確保する場合、配線ピッチがドッグボーン 24 によって律速されるために配線のピッチを狭くできず、チップサイズを小さくすることができない問題を有していた。

【0006】 本発明は、前記従来技術の欠点を解消するためになされたもので、配線ピッチを狭くすることが可能で、チップサイズを小さくできるようにすることを目的としている。

【0007】

【課題を解決するための手段】 上記の課題を解決するために、本発明に係る第 1 の半導体装置の製造方法は、半導体基板上に形成した絶縁膜の上に導電性膜を成膜してダミーパターンを形成する工程と、前記ダミーパターンと前記絶縁膜とを覆って絶縁層を形成する工程と、前記絶縁層を覆って導電性膜を成膜して前記ダミーパターンとの対応位置に凸部を有する下層配線を形成する工程と、前記下層配線と絶縁層とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記下層配線の凸部を露出させる工程と、露出させた前記凸部と前記層間絶縁膜とを覆って導電性膜を成膜し、前記凸部に接続させた上層配線を形成する工程とを有することを特徴としている。

【0008】 このように構成した本発明の第 1 は、下層配線に凸部を形成するとともに、この凸部の上部に上層配線を形成し、凸部を介して下層配線と上層配線とを電氣的に接続するようにしているため、コンタクトホールを形成する必要がない。このため、下層配線とコンタクトホールとの位置合わせの余裕を確保するためのドッグボーンを下層配線に設ける必要がなく、配線ピッチを狭くすることができ、チップサイズを小さくすることができる。

【0009】 ダミーパターンは、下層配線と同じ材質によって形成すると、半導体装置の回路に悪影響を与えず、配線の形成と同様にして容易に形成することができる。また、ダミーパターンの高さは、 $400 \sim 800 \text{ nm}$ にとるとよい。 400 nm より低いと、層間絶縁膜を平坦化して下層配線を露出させる際に、下層配線が露出しなかったり、平坦化により下層配線が薄くなり過ぎるおそれがあるところから、厳しい寸法制御を行なう必要がある。一方、ダミーパターンが 400 nm より厚くなると、材料のロスが大きくなる。そして、ダミーパターンと下層配線とは、アルミニウムまたはアルミニウム合金もしくは多結晶シリコンによって形成してよい。アルミニウム、アルミニウム合金または多結晶シリコンは、現在、半導体装置の分野において広く使用されており、特別の装置等を必要とせず、安価に作ることができる。

【0010】 なお、この明細書において、アルミニウム合金とは、組成が $Al-Si-Cu$ のように非金属元素を含むものと、 $Al-Cu$ のように組成が金属元素のみ

の場合を含めている。

【0011】また、本発明に係る第2の半導体装置の製造方法は、半導体基板上に形成した絶縁層の上に第1金属膜を形成する工程と、前記第1金属膜の上部に第1の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第1の高融点金属膜または高融点金属化合物膜の上部に第2の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第2の高融点金属膜または高融点金属化合物膜の上部に第3の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第2の高融点金属膜または高融点金属化合物膜と前記第1金属膜とをエッチングして下層配線を形成する工程と、前記第2の高融点金属膜または高融点金属化合物膜と前記第2金属膜とをエッチングして前記下層配線の所定位置に第2金属膜と前記第2の高融点金属膜または高融点金属化合物膜とからなる凸部を形成する工程と、前記凸部を含む前記下層配線と前記絶縁層とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記凸部を露出させる工程と、露出させた前記凸部と前記層間絶縁膜とを覆って第3金属膜を形成する工程と、前記第3金属膜の上部に第3の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第3の高融点金属膜または高融点金属化合物膜と前記第3金属膜とをエッチングして前記凸部に接続した上層配線を形成する工程と、を有することを特徴としている。

【0012】このように形成した本発明の第2は、下層配線に直接凸部を形成してこの凸部を上層配線とを接続しているため、前記の発明と同様にドックボーンを形成する必要がなく、配線ピッチを小さくでき、半導体装置の小型化を図ることができる。そして、本発明は、凸部を形成する第2金属膜の上部に第2の高融点金属膜または高融点金属化合物膜を設けたことにより、この第2の高融点金属膜または高融点金属化合物膜が反射防止膜としての作用をなすため、凸部を形成するためのフォトリソによるマスクを形成する際に、半導体基板(ウエハ)からの反射光による影響を小さくすることができ、レチクルの正味な位置合わせが可能となってパターンの微細加工をすることができ、半導体装置の集積度の向上、小型化を図ることができる。また、第1金属膜と第2金属膜との間に第1の高融点金属膜または高融点金属化合物膜を配置したことにより、例えば第1金属膜としてアルミニウムやアルミニウム合金から形成した場合、これらの金属膜のイグレーションなどを防止して金属配線の寿命を向上することができる。

【0013】さらに、本発明に係る第3の半導体装置の製造方法は、半導体基板上に形成した絶縁層の上に第1金属膜を形成する工程と、前記第1金属膜の上部に第1の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第1の高融点金属膜または高融点金属化合物膜の所定位置をエッチングして第1の高融点金属膜また

は高融点金属化合物膜を貫通した接続孔を形成する工程と、前記接続孔と前記第1の高融点金属膜または高融点金属化合物膜とを覆って第2金属膜を形成する工程と、前記第2金属膜の上部に第2の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第2の高融点金属膜または高融点金属化合物膜と前記第2金属膜と前記第1の高融点金属膜または高融点金属化合物膜と前記第1金属膜とをエッチングし、前記接続孔を含む領域に下層配線を形成する工程と、前記第2の高融点金属膜または高融点金属化合物膜と前記第2金属膜とをエッチングして前記接続孔を含んだ位置に第2金属膜と前記第2の高融点金属膜または高融点金属化合物膜とからなる凸部を形成する工程と、前記凸部を含む前記下層配線と前記絶縁層とを覆って層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化して前記凸部を露出させる工程と、露出させた前記凸部と前記層間絶縁膜とを覆って第3金属膜を形成する工程と、前記第3金属膜の上部に第3の高融点金属膜または高融点金属化合物膜を形成する工程と、前記第3の高融点金属膜または高融点金属化合物膜と前記第3金属膜とをエッチングして前記凸部と接続した上層配線を形成する工程と、を有することを特徴としている。

【0014】このように構成した本発明の第3は、上記第2の発明と同様の効果を得ることができざるばかりでなく、凸部と対応した部分の第1金属膜の第1の高融点金属膜または高融点金属化合物膜を除去して第1金属膜と第2金属膜とを直接接触するようにしたことにより、配線抵抗を小さくすることができ、消費電力の小さな半導体装置を得ることができる。

【0015】第1の高融点金属膜または高融点金属化合物膜と第2の高融点金属膜または高融点金属化合物膜と第3の高融点金属膜または高融点金属化合物膜とは、チタンやチタン合金または窒化チタン(TiN)あるいはそれらの積層構造によって形成してよい。チタンやチタン合金または窒化チタンあるいはそれらの積層構造によって形成することにより、金属配線を形成するアルミニウムやアルミニウム合金との密着性がよく、またこれらの金属がシリコンなどと反応するのを抑制することができる。

【0016】第1の高融点金属膜または高融点金属化合物膜の厚さは、15~200nmがよい。15nmより薄いと、下層配線を保護する効果が小さくなる。そして、第1の高融点金属膜または高融点金属化合物膜が200nmより厚くなると、第1の高融点金属膜または高融点金属化合物膜の上に凸部を形成する場合、凸部と下層配線との間の電気抵抗が大きくなり、配線抵抗を増大させる。また、第1の高融点金属膜または高融点金属化合物膜の厚さが200nmを超えると、チタンなどの高価な金属の使用量が增大して、コストが増大する。

【0017】第2の高融点金属膜または高融点金属化合物

物膜と第3の高融点金属膜または高融点金属化合物膜との厚さは、15〜100nmであってよい。この理由は、上記と同じである。また、層間絶縁膜を平坦化して凸部を露出させる場合、凸部の表面の第1の高融点金属膜または高融点金属化合物膜を除去すると、凸部と上層配線との接触電気抵抗を小さくすることができる。

【0018】

【発明の実施の形態】本発明に係る半導体装置の製造方法の好ましい実施の形態を、添付図面に従って詳細に説明する。図1は、本発明の第1実施形態に係る半導体装置の製造方法の説明図である。

【0019】まず、図1(a)に示すように、本図に図示しない半導体基板上に形成したシリコン酸化膜などからなる絶縁膜30の上に、膜厚400〜800nmのA1-Si-Cuからなるアルミニウム合金層を通常のスパッタリング法で形成する。その後、アルミニウム合金層の上にフォトリソを塗布し、フォトリソグラフィ法を行ってフォトリソからなる所定のレジストパターン（図示せず）を形成する。さらに、このレジストパターンをマスクとして塩素系ガスと酸素系ガスとの混合ガスを用いたドライエッチングを行うことにより、下層配線に凸部を形成する予定の位置にアルミニウム合金からなるダミーパターン32を形成したのち、レジストパターンを剥離する。

【0020】次に、図1(b)に示すように、ダミーパターン32と絶縁膜30とを覆った全面に、例えばプラズマCVDによりシリコン酸化膜（ SiO_2 膜）などからなる絶縁層34を厚さ100〜300nm形成する。続いて、スパッタリング法によって絶縁層34の上部全体にA1-Si-Cuなどのアルミニウム合金膜を厚さ400〜1000nm堆積する。そして、前記と同様にしてフォトリソグラフィ法によってフォトリソ膜からなる図示しないレジストパターンをアルミニウム合金膜の上部を覆って形成し、塩素系ガスと酸素系ガスとの混合ガスからなるエッチングガスによるドライエッチングを行い、図1(c)に示すように、ダミーパターン32と対応した位置に凸部40を有する所定形状の下層配線36を形成し、レジストパターンを剥離、除去する。

【0021】次に、図1(d)に示すように、下層配線36と絶縁層34とを覆って、プラズマCVDによりシリコン酸化膜からなる層間絶縁膜38を膜厚800〜2000nm堆積する。その後、通常のケミカルメカニカルポリッシング（CMP）法により、下層配線36の凸部40が露出するまで層間絶縁膜38を研磨して平坦化する（図1(e)）。その後、露出した下層配線36の凸部40と層間絶縁膜38とを覆ってスパッタリング法によりA1-Si-Cuなどのアルミニウム合金膜を厚さ400〜1000nm形成し、フォトリソグラフィ法を行って図示しないレジストパターンを形成したのち、

前記と同様に塩素系ガスと酸素系ガスとの混合ガスによるドライエッチングを行い、図1(f)に示したように、凸部40と接続した上層配線42を形成し、レジスト膜（レジストパターン）を除去する。

【0022】このように、第1実施の形態においては、下層配線36と上層配線42との接続位置にダミーパターン32を設けて下層配線36に凸部40を形成し、凸部40を介して下層配線36と上層配線42とを接続しているため、従来必要としていたドッグボーンを下層配線36に設ける必要がなく、配線ピッチを小さくすることが可能で、半導体装置であるチップを小型化することができる。

【0023】なお、前記実施の形態においては、ダミーパターン32、下層配線36および上層配線42をA1-Si-Cuにより形成した場合について説明したが、アルミニウム（Al）やAl-Cuなどの他のアルミニウム合金によって形成してもよいし、導電性の多結晶シリコンによって形成してもよい。

【0024】図2は、本発明の第2実施形態に係る半導体装置の製造方法の工程説明図である。

【0025】図2(a)に示すように、半導体基板上の絶縁膜30の上に膜厚500〜1000nmのA1-Si-Cuからなる第1金属膜44をスパッタリング法により形成したのち、この第1金属膜44を覆って膜厚15〜200nmの窒化チタン膜（TiN膜）46を形成する。さらに、窒化チタン膜（TiN膜）46の上部を覆って、膜厚300〜1000nmのA1-Si-Cuからなる第2金属膜48と、膜厚15〜100nmの窒化チタン膜（TiN膜）50とをこの順番でスパッタリング法により形成する。尚、窒化チタン膜（TiN膜）50はフォトリソグラフィ時に反射防止の役割を果たすものである。

【0026】次に、フォトリソグラフィ法によって所定のレジストパターン（図示せず）を形成したのち、塩素系ガスと酸素系ガスとからなるエッチングガスによるドライエッチングを行い、図2(b)に示したように、第1金属膜44、窒化チタン膜（TiN膜）46、第2金属膜48、窒化チタン膜（TiN膜）50からなる下層配線52を形成し、レジストパターンを除去する。その後、下層配線52と絶縁膜30とを覆ってフォトリソ膜を塗布し、フォトリソグラフィ法によって所定のレジストパターンを形成し、これをマスクとして塩素系ガスと酸素系ガスとの混合ガスを用いたドライエッチングを行い、窒化チタン膜（TiN膜）50と第2金属膜48との一部を除去して窒化チタン膜（TiN膜）46を露出させる、図2(c)に示すように、下層配線52と後述する上層配線とを接続する所定位置の下層配線52に、第2金属膜48と窒化チタン膜（TiN膜）50とからなる凸部54を形成し、レジストパターンを除去する。

【0027】次に、図2の(d)に示すように、凸部54を有する下層配線52と絶縁膜30とを覆ってシリコン酸化膜からなる層間絶縁膜56をプラズマCVDによって厚さ500～2000nm形成する。その後、通常のケミカルメカニカルポリッシング法により層間絶縁膜56を研削して平坦化し、凸部54を露出させる。さらに、フッ素系ガスを用いたドライエッチングを行い、図2の(e)に示すように、凸部54の窒化チタン膜(TiN膜)50を除去して凸部54を形成している第2金属膜48を露出させる。この窒化チタン膜(TiN膜)50をエッチング除去する工程は、下層配線52と上層配線との接続電気抵抗を低減するためのものであって、窒化チタン膜(TiN膜)50を除去しなくてもよい。

【0028】その後、露出させた凸部54と層間絶縁膜56とを覆って厚さ300～1000nmのAl-Si-Cuからなる第3金属膜58をスパッタリング法により堆積したのち、第3金属膜58の上部に窒化チタン膜(TiN膜)60をスパッタリング法によって厚さ15～100nm形成する。そして、窒化チタン膜(TiN膜)60を覆ってフォトリソレジストを塗布して前記と同様に所定形状のレジストパターン(図示せず)を形成したのち、フッ素系ガスをエッチングガスとするドライエッチングによって窒化チタン膜(TiN膜)60をエッチング除去し、引き続き塩素系ガスと酸素系ガスとの混合ガスによるドライエッチングによって第3金属膜58をエッチングし、第3金属膜58と窒化チタン膜(TiN膜)60とからなるものと、図2(f)に示したように、凸部54によって下層配線52と電気的に接続した上層配線62を形成してレジストパターンを除去する。なお、この実施形態の場合、上層配線62は、凸部54の部分において下層配線52と直交している。

【0029】これにより、上記第1実施の形態と同様にドッグボーンを形成する必要があるが、配線ピッチの狭小化が図れ、チップを小型化することができる。また、実施の形態においては、第2金属膜48の上部に窒化チタン膜(TiN膜)50を設けたことにより、凸部54を形成する際に、半導体基板側からの反射光の影響を小さくことができ、レチクルの位置合わせなどを高精度に行うことが可能となって微細加工ができ、半導体装置の高集積化、小型化を図ることができる。しかも、下層配線52の本体となる第1金属膜44の上部に窒化チタン膜(TiN膜)46を形成しているため、アルミニウム合金からなる第1金属膜44のマイグレーションなどが防止されて下層配線52の長寿命化を図ることができる。そして、凸部54の窒化チタン膜(TiN膜)50を除去して凸部54の第2金属膜48を露出させ、この第2金属膜48を上層配線62の第3金属膜を接続しているため、上層配線62と凸部54との接続電気抵抗を小さくすることができる。

【0030】なお、前記実施の形態においては、第1、第2および第3金属膜44、48、58をAl-Si-Cuによって形成した場合について説明したが、これらをアルミニウムや、Al-Cuなどの他のアルミニウム合金によって形成してもよい。また、前記実施形態における窒化チタン膜(TiN膜)46、50、60は、窒化チタン膜(TiN膜)に限定されないことは言うまでもなく、高融点金属膜、高融点金属化合物膜、またはそれらの積層構造でもよい。例えば、チタン(Ti)やタンゲステン(W)、またはこれらの合金さらにはタンゲステンシリサイド(WSi)などであってもよい。

【0031】図3は、第3実施形態の工程説明図である。図3において、まず、同図(a)に示したように、半導体基板上の絶縁膜30の上に、第2実施形態の場合と同様にしてAl-Si-Cuからなる膜厚500～1000nmの第1金属膜44と、膜厚15～200nmの窒化チタン膜(TiN膜)46とを前記の第2実施形態と同様に形成する。その後、窒化チタン膜(TiN膜)46の上部に図示しないレジストパターンを形成し、これをマスクとしたフッ素系ガスによるドライエッチングを行い、図3(b)に示すように、高融点金属膜46の所定位置、すなわち下層配線と上層配線との接続予定位置となる凸部形成予定位置内に接続孔64を形成し、第1金属膜44を露出させる。

【0032】次に、接続孔64と高融点金属膜46とを覆って膜厚300～1000nmのAl-Si-Cuからなる第2金属膜48と、膜厚15nm～100nmの窒化チタン膜(TiN膜)50とを前記第2実施形態と同様に形成する。さらに、前記第2実施の形態と同様にして第2の高融点金属膜または高融点金属化合物である窒化チタン膜(TiN膜)50の上部にレジストパターンを形成し、これをマスクとして塩素系ガスと酸素系ガスとの混合ガスにより絶縁膜30が露出するまでドライエッチングを行い、図3(c)に示したように、第1金属膜44、窒化チタン膜(TiN膜)46、第2金属膜48、窒化チタン膜(TiN膜)50からなる下層配線52を形成し、レジストパターンを除去する。その後、下層配線52と絶縁膜30との上部にフォトリソレジストを塗布し、図示しないレジストパターンを形成したのち、これをマスクにして塩素系ガスと酸素系ガスとの混合ガスを用いたドライエッチングを行い、前記第2の実施形態と同様に、第2金属膜48と窒化チタン膜(TiN膜)50とからなる凸部54を形成したのち、レジストパターンを除去する(図3(d)参照)。さらに、図3(e)に示したように、下層配線52と絶縁膜30とを覆って厚さ500～2000nm程度のシリコン酸化膜からなる層間絶縁膜56をプラズマCVDによって形成する。

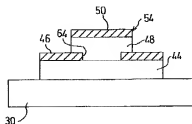
【0033】なお、凸部54は、図5に示したように形成してもよい。すなわち、凸部54は、接続孔64を含

【0307】また、本発明の第2によれば、下層配線に直接凸部を形成してこの凸部と上層配線とを接続したことにより、配線ピッチを小さくして半導体装置の小型化を図ることができる。しかも、本発明第2においては、凸部を形成する第2金属層の上部に第2の高熔点金属膜または第2酸化金属化合物膜を設けていたため、これが反射防止膜としての役割をなして凸部を形成するためのフォトリソットによるマスキを形成する際に、ウェハからの反射による影響を小さくすることができ、レチクルの正確な位置合わせが可能となってパターンの微細加工をすることができ、半導体装置の集積度の向上、小型化を図ることができる。さらに、第1金属層と第2金

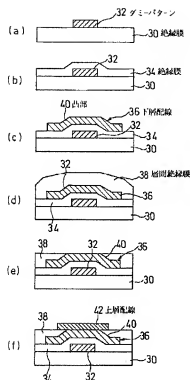
【図5】凸部の他の実施形態の説明図である。

10	絶縁膜
32	ダミーパターン
34	絶縁層
36、52	下層配線
38、56	層間絶縁膜
40、54	凸部
42、62	上層配線
44	第1金属膜
46	第1の高融点金属膜または高融点金属化
合物膜	
48	第2金属膜
50	第2の高融点金属膜または高融点金属化
合物膜	
58	第3金属膜
60	第3の高融点金属膜または高融点金属化
合物膜	

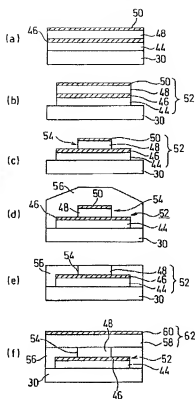
【图 5】



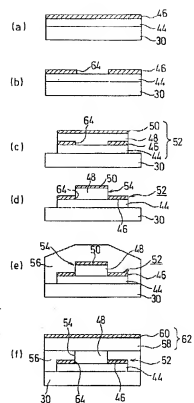
【図1】



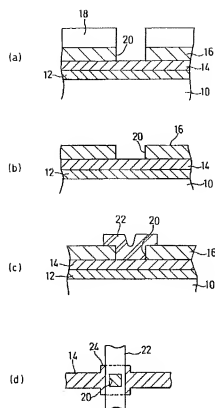
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5F033 HH04 HH08 HH09 HH18 HH19
 HH28 JJ01 JJ04 JJ08 JJ09
 JJ18 JJ19 JJ28 JJ33 KK04
 KK08 KK09 KK18 KK19 KK28
 KK33 MM05 NN03 NN13 NN19
 PP15 QQ02 QQ08 QQ11 QQ48
 RR04 SS15 VV01 WW02 XX03
 XX05 XX09 XX33